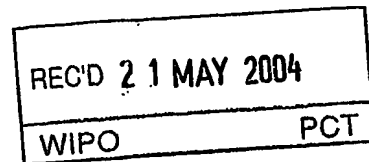


BUNDESREPUBLIK DEUTSCHLAND

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 20 701.5

Anmeldetag: 08. Mai 2003

Anmelder/Inhaber: Siemens Aktiengesellschaft, 80333 München/DE

Bezeichnung: Bauelement mit einer in ihrer Funktionalität konfigurierbaren Schaltungsanordnung, insbesondere Logikschaltungsanordnung

IPC: H 03 K 19/173

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 3. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

AUSE

Beschreibung

Bauelement mit einer in ihrer Funktionalität konfigurierbaren Schaltungsanordnung, insbesondere Logikschaltungsanordnung

5

Die Erfindung betrifft ein Bauelement mit einer in ihrer Funktionalität konfigurierbaren Schaltungsanordnung, insbesondere Logikschaltungsanordnung, umfassend mehrere Datenleitungen.

10

Konfigurierbare Bauelemente sind seit langem bekannt, sie werden, nachdem sie vorzugsweise Logikfunktionen ausführen, allgemein als Programmable Logic Device (PLD) bezeichnet. Solche PLD-Bauelemente werden vornehmlich für weniger komplexe Aufgaben eingesetzt. Derartige Logikbausteine sind z. B. aus US 4,870,302 oder der Veröffentlichung "Ranmuthu, I.W. et al.; Magneto-resistive elements - An Alternative to Floating Gate Technology; In: Proceedings of the Midwest Symposiums on Circuits and Systems, 1992, pg(s). 134 - 136 vol. 1" bekannt. Das Anwendungsprogramm wird bei solchen Logikbausteinen beim Booten definiert: Aus einem Programmspeicher wird ein Programm ausgelesen, konfigurierbare Bereiche werden konfiguriert. Die konfigurierbaren Bereiche haben folgende Eigenschaften: Entweder definieren sie Verknüpfungen zwischen vorgegebenen Punkten (Routing-Bereiche) oder definieren die Verarbeitung logischer Eingangssignale zu logischen Ausgangssignalen (Logikzellen-Bereiche).

15

20

5

30

35

Die Programmierinformation wird also in der Fläche verteilt. Die Konfigurierbarkeit der PLD's beschränkt sich auf wenige konfigurierbare Parameter, die beim Booten fest eingestellt werden. Es werden dabei zwei Speicher benötigt: Ein externer Boot-Speicher-Chip (diskreter Chip, z. B. ein EEPROM 113 in US 4,870,302) und interne, flächig verteilte Speicherzellen (z. B. nach Fig. 3a und 10a in US 4,870,302 oder Fig. 5 in der Veröffentlichung von Ranmuthu et al.). Die lokalen Spei-

cherzellen enthalten nach dem Booten die Informationen für die Verknüpfungen und für die Logikfunktionen der Zellen.

Wesentliche Parameter zur Bewertung der Leistungsfähigkeit dieser Speicher sind der Flächenbedarf und der statische (Leck-)Energieverbrauch als statische "Kosten" sowie die Schaltgeschwindigkeit und -kapazität als dynamische "Kosten". Betrachtet werden nachfolgend nur nichtflüchtige, re-konfigurierbare Architekturen, nämlich SRAM in Kombination mit Boot-ROM oder EEPROM. Das SRAM ist eine relativ große Zelle, besitzt eine schnelle Arbeitsgeschwindigkeit und ist ein flüchtiger Speicher, das Boot-ROM ist dagegen langsam und nicht-flüchtig. Das EEPROM ist eine mittelgroße Zelle mit langsamer Arbeitsgeschwindigkeit, hohem Konfigurierungsbedarf und geringem "Lese"-Leistungsverbrauch.

Die Flächen- und die Verlustleistungseffizienz der verteilten Speicherzellen ist ca. bis zu zwei Größenordnungen schlechter als die von diskreten Speicherchips gleicher Leistungsfähigkeit. Benötigt das Anwendungsprogramm aber weniger Leistungsfähigkeit als die Chips bereitstellen, so verbrauchen die nicht genutzten Bereiche unvermeidlich ebenfalls Verlustleistung. Typische Ausnutzungsgrade der vorhandenen Logikblocks von PLD's liegen bei ca. 30 % bis 70 %. Zu einem bestimmten Zeitpunkt sind davon auch nur Bruchteile aktiv an der Verarbeitung von Logikinformationen beteiligt.

Ein Bauelement, insbesondere in Form einer Logikschaltungsanordnung, verfügt über eine Vielzahl von Datenleitungen, die die einzelnen Funktionselemente der Schaltungsanordnung miteinander verknüpfen, die also Logikzellen miteinander verbinden, den Routing-Bereich definieren oder sonstige Signalverbindungen bestimmen. Die Datenleitungen definieren also den Daten- oder Signaltransferweg, also die Verknüpfung zwischen vorgegebenen Punkten und die Signalverarbeitung. Dem konfigurierten Verlauf der Datenleitungen kommt also im Rahmen der Konfiguration eine wichtige Funktion zu.

Der Erfindung liegt das Problem zugrunde, eine Möglichkeit anzugeben, auf einfache Weise auf den Verlauf oder Zustand einer Datenleitung im Rahmen der Konfiguration Einfluss nehmen zu können.

Zur Lösung dieses Problems ist ein Bauelement der eingangs genannten Art vorgesehen, wobei zumindest einem Teil der Datenleitungen wenigstens ein zwischen zwei Zuständen mit unterschiedlichen diskreten Widerständen schaltbares Element zugeordnet ist, über welches Element je nach geschaltetem Zustand die Datenleitung freigegeben oder gesperrt wird, wobei der Zustand nicht-flüchtig speicherbar und schnell umschaltbar ist.

Beim erfindungsgemäßen Bauelement kommt ein in seinem Widerstand schaltbares Element zum Einsatz, wobei die Datenleitung abhängig vom jeweils schaltungsbedingt eingestellten Widerstand des Elements entweder freigegeben wird, Daten also transferiert werden können, oder aber gesperrt wird, der Datentransfer also unterbrochen wird. Durch Ändern der Widerstands-Charakteristik des zugeordneten Elements kann also sehr schnell die Datenleitung freigegeben oder geöffnet werden.

Ist das Element in einer Reihenschaltung angeordnet, so wird die eine Quelle und ein dieser nachgeschaltetes Teil, z.B. ein Gatter verbindende Datenleitung durch die Widerstandsänderung des Elements freigegeben (niedriger Widerstand) oder gesperrt (hoher Widerstand). In einer Parallelschaltung, wo das Element parallel zur Datenleitung ist, wird das Signal entweder kurzgeschlossen (niedriger Widerstand) oder das Element tritt nicht in Erscheinung (hoher Widerstand), das Signal wird ungehindert über die Datenleitung geführt. Schließlich besteht die Möglichkeit, eine Serienschaltung eines erfindungsgemäßen Bauelements mit einem Ausgangs-Transistor folgendermaßen zu beschalten: niederohmiges Verhalten bedeu-

tet Datenleitung ist konstant (z.B. Pluspol), Information ist gesperrt. Ist das Bauelement hochohmig geschaltet, verhält es sich als Pullup-Widerstand, das Quellensignal läuft über die Datenleitung.

5

Besonders wichtig ist, dass die Änderung des Widerstands in geeigneter Weise ohne weitere Energiezufuhr speicherbar wird und somit stets zur Verfügung steht. Vorteilhaft wäre es, wenn die Änderung zu jeder Zeit durchgeführt werden kann, ohne Beschränkung der Anzahl der Zyklen und auch mit hoher Geschwindigkeit. Die Umschaltgeschwindigkeit sollte $\leq 3\text{ns}$ betragen.

10

15

Als Element kann erfindungsgemäß ein einmagnetoresistives Element eingesetzt werden, vorzugsweise eine TMR-Zelle (TMR = Tunnel-Magnetoresistive). Derartige magnetoresistive Elemente zeichnen sich dadurch aus, dass ihr Widerstandsverhalten durch die Stellung der Magnetisierung einer weichmagnetischen Informationsschicht bezüglich einer hartmagnetischen Referenzschicht bestimmt wird. Je nach dem, ob die Magnetisierungen parallel oder antiparallel zueinander stehen, ist ein niedriger oder hoher Widerstand über das Element realisiert. Die Änderung der Magnetisierungsrichtung der weichmagnetischen Schicht kann auf einfache und schnelle Weise erfolgen, wozu ein über einen Konfigurierleiter geführter Konfigurierstimpuls, der ein auf die Magnetisierung der weichmagnetischen Schicht wirkendes Magnetfeld erzeugt, dient.

20

25

30

Alternativ - oder zusätzlich zur Verwendung von magnetoresistiven Elementen - kann das Element auch eine Widerstandsänderung durch eine beim Schalten erzeugte Phasenänderung, insbesondere von einem amorphen Zustand in einen kristallinen Zustand zeigen. Das Element ist also als Phasenwechselzelle, die auch als OUM-Zelle bezeichnet werden kann (OUM = Ovonic Unified Memory) ausgebildet.

35

Eine auf diesem Effekt aufbauende Phasenwechselzelle ist ein Speicher, dessen Speichermechanismus auf einer reversiblen strukturellen Phasenänderung von einer amorphen Phase in eine kristalline Phase beruht. Als Phasenänderungsmaterial kann ein Chalkogenid-Legierungsmaterial in Form eines Dünnschichtfilms verwendet werden. Bei einer Phasenänderung ändert sich der Widerstand zwischen zwei diskreten Werten, d.h. auch hier kommt es beim Schalten zu einer Änderung zwischen einem hohen und einem niedrigen Widerstand. Es handelt sich also um einen schnell programmierbaren Widerstandsspeicher. Als Phasenwechselsysteme können binäre Systeme (z.B. GaSb, InSb, InSe, Sb₂Te₃, GeTe), tertiäre Systeme (z.B. Ge₂Sb₂Te₅, InSbTe, GaSeTe, SnSb₂Te₄, InSbGe) oder quaternäre Systeme (z.B. AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te₈₁Ge₁₅Sb₂S₂) verwendet werden, wobei bevorzugt das GeSbTe-Legierungssystem verwendet wird. Während die amorphe Phase eine enge Atomanordnung, eine niedrige Dichte an freien Elektronen, eine hohe Aktivierungsenergie und einen hohen Widerstand zeigt, sind die Verhältnisse der kristallinen Phase gerade umgekehrt, es stellt sich eine längere Atomanordnung, eine höhere Dichte an freien Elektronen, eine niedrigere Aktivierungsenergie sowie ein niedriger Widerstand ein. Der Schaltvorgang kann mit niedrigen Schaltspannungen erfolgen, wobei zum Schalten ein Strompuls mit einer Steuerspannung oberhalb der Thresholdspannung der Zelle dient. Die Zellinformation wird auch hier über den eingestellten Widerstand ausgelesen. Eine Phasenwechselzelle ist z.B. in der veröffentlichten Website http://www.ovonyx.com/tech_html.html beschrieben.

Allen verwendbaren Elementen gemein ist, dass ihr Widerstand zwischen zwei diskreten Werten geschaltet werden kann. Durch die Widerstandsänderung ändert sich zwangsläufig ein über das jeweilige Element geführter Strom. Nach einer ersten Erfindungsgestaltung kann nun vorgesehen sein, dass über das Element ein (in die Datenleitung geschalteter) Pass-Transistor gesperrt oder freigegeben wird. Dieser Pass-Transistor wird über das ihm jeweils zugeordnete Element geschaltet. Die

Öffnung oder Freigabe der Datenleitung wird also indirekt oder mittelbar über das Element gesteuert, das den direkt in die Datenleitung geschalteten Pass-Transistor schaltet. Der über ein Element oder beispielsweise zwei gekoppelte Elemente geführte Strom bzw. Summenstrom wird am Gate-Eingang des vorzugsweise als MOS-Transistors ausgeführten Pass-Transistors angelegt. Je nach dem, wie groß diese Steuerspannung ist, wird der Pass-Transistor durchgeschaltet oder gesperrt. Wird er durchgeschaltet, so ist die Datenleitung, in die der Transistor geschaltet ist, freigegeben. Wird er gesperrt, wird gleichzeitig auch die Datenleitung gesperrt, Informationen können über sie nicht übertragen werden. Im Falle einer Parallelschaltung des Elements zur Datenleitung schließt es diese im niederohmigen Zustand kurz, im hochohmigen Zustand ist es transparent.

Dabei kann zum Betätigen des Pass-Transistors lediglich ein Element vorgesehen sein, sofern das Widerstandsverhältnis, also das Verhältnis zwischen dem niedrigen schaltbaren Widerstand und dem hohen schaltbaren Widerstand hinreichend hoch ist, so dass ein hinreichend hohes Spannungsverhältnis an den Gate-Eingang zum Steuern des Transistors gelegt werden kann. Alternativ zur Verwendung lediglich eines ein hohes Widerstandsverhältnis aufweisenden Elements ist es auch denkbar, zwei miteinander gekoppelte und parallel betriebene Elemente vorzusehen, über die eine Summenspannung an den Gate-Eingang gelegt werden kann. Werden zwei TMR-Zellen zur Ansteuerung eines Pass-Transistors verwendet, so werden diese zweckmäßigerweise invertiert angesteuert.

In Weiterbildung des Erfindungsgedankens kann vorgesehen sein, dass die beiden Elemente, insbesondere die beiden TMR-Zellen ein Widerstandsverhältnis zwischen den beiden zustandsbezogenen Widerständen ungleich 1:1, insbesondere von 1:2 oder höher aufweisen. Je höher das Widerstandsverhältnis ist, desto weiter werden die von den jeweiligen Widerständen abhängigen Steuerspannungen voneinander getrennt.

Neben der Möglichkeit, über ein oder mehrere Elemente einen Pass-Transistor zur Freigabe oder zum Sperren der Datenleitung zu steuern und die Datenleitung indirekt über das Element zu schließen oder zu öffnen, besteht nach einer alternativen Erfindungsausgestaltung auch die Möglichkeit, dass ein Element unmittelbar in die Datenleitung geschaltet ist und diese direkt öffnet oder sperrt. Nach dieser Erfindungsausgestaltung wird also ein solches Element direkt als Pass-Transistor verwendet. Voraussetzung dafür ist, dass sich ein hinreichend hohes Widerstandsverhältnis zwischen den beiden zustandsbezogenen Widerständen von wenigstens 1:10 oder größer am Element realisieren lässt. Bei Einstellung des niedrigen Widerstands wäre bei dieser Ausführungsform die Datenleitung freigegeben, bei Einstellung des hohen Widerstands wäre sie gesperrt.

Für die Ausführung als Parallelschaltung gelten obige Ausführungen sinngemäß.

Insgesamt bietet das erfindungsgemäße Bauelement im Vergleich zu bisher verwendeten Technologien bzw. Architekturen eine Reihe von Vorteilen. Die gängigen Technologien bedienen sich einer Konfigurationsspeicherung mit einem SRAM-Speicher oder einem EEPROM-Speicher.

SRAM-Zellen können grundsätzlich nur einen Pass-Transistor ansteuern. Die Ursache hierzu liegt im Operationsprinzip dieser Zelle, das auf dem Flip-Flop-Prinzip basiert. Hier werden Transistoren gegenseitig so gekoppelt, dass die Schaltung zwei stabile Zustände kennt und diese Zustände nach außen hin als Spannung sichtbar sind. Der Einsatz eines erfindungsgemäßen Elements erniedrigt dabei die Anzahl der Transistoren pro Pass-Element, bei Verwendung zweier Elemente zum Schalten eines Pass-Transistors sind lediglich drei Flächeneinheiten nötig (die beiden Elemente sowie der Pass-Transistor selbst) bzw. wird nur eine Flächeneinheit benötigt, wenn ein Element

selbst als Pass-Transistor verwendet wird. Die Flächengröße einer TMR-Zelle ist \leq der Flächengröße eines Transistors. Als weiterer Vorteil ist der Erhalt der Konfiguration bei Ausfall der Versorgungsspannung zu sehen, der ein zusätzliches Boot-Memory unnötig macht. D.h., dass zur dauerhaften Speicherung im vergleich zum SRAM keine Energiezufuhr nötig ist. Gleichwohl lassen sich sehr schnelle Umschaltzeiten ($\leq 3\text{ns}$) realisieren, da der Widerstand sehr schnell schaltbar ist.

- 10 Auch ein EEPROM (inklusive Flash) besteht aus mehreren Transistoren, die aufwendig und langsam reprogrammierbar sind und schlechte Laufzeiten aufweisen, verglichen mit einem einfachen Pass-Transistor. Zudem sind die EEPROM-Transistoren größer als normale Transistoren, da eine zusätzliche Leiterbahn für die Tunnelstrecke erforderlich ist. Gegenüber der EEPROM-Technologie bietet die Verwendung der Elemente, insbesondere der TMR-Zelle den Vorteil der schnellen und unkomplizierten Umprogrammierung. Dieser Vorteil ist zentral, da zukünftig dynamisch rekonfigurierbare Bauelemente eingesetzt werden.
- 15 Dies ist mit EEPROM-Zellen nicht denkbar oder möglich, da EEPROM-Zellen nur eine langsame Schaltgeschwindigkeit des Floating-Gates im μs -Bereich zeigen, wohl aber mit den in ihrem Widerstand veränderbaren Zellen, insbesondere in Form der TMR-Zellen.

25 Weitere Vorteile, Merkmale und Einzelheiten der Erfindung ergeben sich aus den im folgenden beschriebenen Ausführungsbeispielen sowie anhand der Zeichnungen. Dabei zeigen:

- 30 Fig. 1 eine Prinzipskizze eines Schichtsystems einer TMR-Zelle,
- Fig. 2 eine Prinzipskizze der Reihen-Verschaltung zweier Elemente zur Steuerung eines Pass-Transistors,
- 35 Fig. 3 eine ausführlichere Darstellung der Anordnung aus Fig. 2,

Fig. 4 einen Schnitt durch die Anordnung aus Fig. 3,

Fig. 5 eine Prinzipskizze eines unmittelbar in der Daten-
leitung angeordneten, als Pass-Transistor dienenden
Elements, und

Fig. 6 eine Prinzipskizze einer Parallelschaltung des
Pass-Transistors zur Datenleitung.

Fig. 1 zeigt in Form einer Prinzipskizze ein Element 1 in
Form einer TMR-Zelle 2, bestehend aus einer weichmagnetischen
Informationsschicht 3, einer elektronischen Barrierenschicht
4 und einer hartmagnetischen Referenzschicht 5.

Die weichmagnetische Schicht oder ein weichmagnetisch wirken-
des Schichtpaket, das diese Informationsschicht 3 bildet,
kann durch Ströme oder Strompulse auf Leiterbahnen ummagneti-
siert werden, welche Ströme oder Strompulse ein Magnetfeld
oder einen Magnetpuls erzeugen, der auf die Schichtmagneti-
sierung wirkt. Kennzeichen ist die Koerzitivfeldstärke (sym-
metrisch zu $H=0$) und eine Spinpolarisation und eine Remanenz.
Die Basismaterialien sind bekannte magnetische Materialien
geringer oder mittlerer Koerzitivfeldstärke. Der Doppelpfeil
deutet die Anisotropieachse an, in die sich die Magnetisie-
rung einstellen lässt. Damit sind zwei diskrete Magnetisie-
rungszustände einstellbar.

Die Barrierenschicht 4 bildet eine elektronische Barriere,
sie entsteht durch eine abrupte Änderung in der Bandstruktur.
Dies kann durch Materialgrenzflächen, aber beispielsweise
auch durch Dotierungen erreicht werden. Die elektronische
Barriere ermöglicht direktes Tunneln von Ladungsträgern zwi-
schen den angrenzenden Elektroden. Die Eigenschaften der
elektronischen Barriere bestimmen den "Grundwiderstand" der
Elemente, und auch die Spannungsabhängigkeit der Kennlinie.
Weiteres Kriterium ist die Erhaltung der Spinpolarisation

während des Tunnelns bzw. ein totaler Spinflip (z. B. aus Spin-up wird Spin-down). Für den TMR-Effekt werden folgende Isolatormaterialien als Barrierenmaterialien häufig eingesetzt: AlO_x , AlN , TaO_x , BN , MgO ; halbleitende Materialien: ZnS , GaO_x ; weitere Materialien: NiO , NbO , HfO_2 , TiO_2 , SiO_2 , Fe_2O_3 , Fe_3O_4 . Die Materialdicke beträgt wenige Atomlagen bis zu einigen Nanometern. Es werden kristalline und amorphe Barrieren verwendet.

- 10 Die Referenzschicht 5 ist magnetisch hart und kann (idealerweise) von Signalen im Chip und externe Felder nicht verändert werden. Sie besteht mindestens aus der Referenzschicht oder (normalerweise) aus einer komplexen Schichtfolge (=Schichtsystem), die die Referenzschicht enthält. Wesentlich
- 15 für die TMR-Zelle ist, dass wenigstens eine magnetische Schicht aktiv mit den Elektronen wechselwirkt. Dies ist jeweils diejenige Schicht, die an die nicht-magnetische Zwischenschicht angrenzt. Da sie Teil der magnetisch harten Schicht ist, ist deren Magnetisierung vorgegeben und sie ent-
- 20 hält die Referenzmagnetisierung für den TMR-Effekt (bzw. dem GMR-Effekt). Typische magnetische Materialien sind Schichten mit hoher Spinpolarisation (z. B. CoFe , Py , Fe) und gleichzeitig hoher Austauschwechselwirkung zur benachbarten Schicht in der harten Schicht. In manchen Schichtaufbauten kann die
- 5 harte Schicht auch zwei Referenzschichten aufweisen, zum Beispiel bei einer harten Schicht in der Mitte eines symmetrischen GMR-Aufbaus.

- Fig. 2 zeigt einen Ausschnitt aus einer erfindungsgemäßen
- 30 Schaltungsanordnung 6 eines erfindungsgemäßen Bauelements, bei dem es sich um ein beliebiges Bauelement, vornehmlich um eine Logikschaltungsanordnung handeln kann. Gezeigt ist eine Datenleitung 7, in die im gezeigten Ausführungsbeispiel ein
- Pass-Transistor 8 geschaltet ist, über den die Datenleitung
- 35 7, die z. B. zwei beliebige Logikelemente, z. B. einen Verstärker V und ein Gatter G oder einzelne Logikzellen, miteinander verknüpft, geöffnet oder gesperrt werden kann. Zum

Schalten des Pass-Transistors 8 sind zwei TMR-Zellen 2 vorgesehen, deren Widerstand über einen über eine Konfigurierstromleiterbahn 9 geführten Konfigurierstrom, der ein entsprechendes Magnetfeld erzeugt, eingestellt werden kann. Die
5 widerstandsbedingt über die beiden miteinander gekoppelten TMR-Zellen 2 (die auch als Twin-Zelle benannt werden können) abfallende Steuerspannung wird über die Verbindung 10 auf den Gate-Eingang des Pass-Transistors 8 gelegt. Abhängig von der Größe dieser Steuerspannung wird der Pass-Transistor 8 entwe-
10 der gesperrt oder durchgeschaltet.

Die Figuren 3 und 4 zeigen die Schaltungsanordnung 6 aus Fig. 2 im Detail. Gezeigt sind die beiden TMR-Zellen 2, die beispielsweise an ihrem referenzschichtseitigen Ausgang über
15 eine Kopplungsleitung 11 miteinander gekoppelt sind. An der gegenüberliegenden Seite ist jede TMR-Zelle 2 mit einem Pol einer Stromversorgung 12 gekoppelt, so dass insgesamt ein Strom über die Twin-Zellenanordnung geführt werden kann. Gezeigt ist ferner der Konfigurierstromleiter 9, der sich um-
20 kehrend oberhalb der TMR-Zellen 2 geführt ist. Über ihn kann ein Konfigurierstrom geführt werden, wie durch den gebogenen Pfeil in Fig. 3 dargestellt ist. Nachdem die Stromrichtung aufgrund der Leiterführung über den beiden TMR-Zellen 2 entgegengesetzt ist, werden antiparallel gerichtete Magnetfelder erzeugt, wie durch die beiden Pfeile in Fig. 4 um den Konfi-
25 gurierstromleiter 9 herum dargestellt ist, d. h. die beiden Zellen werden antiparallel zueinander betrieben. Je nach dem, wie nun die Stromrichtung über den Konfigurierstromleiter 9 ist, kann die Richtung der jeweils erzeugten Magnetfelder
30 eingestellt werden und über diese die Magnetisierung der benachbarten weichmagnetischen Schicht 3 beider TMR-Zellen 2. Auf diese Weise kann der jeweilige Widerstand einer TMR-Zelle sehr einfach zwischen einem zustandsabhängigen niedrigen und hohen Wert geschaltet werden. Bei einem Widerstandsverhältnis
35 von 1:2 ergibt sich daraus immer der dreifache minimale Widerstand eines Elements als Belastungswiderstand für die Versorgungsspannung sowie ein Steuerspannungswert von $2/3$ der

Versorgungsspannung bzw. $1/3$ der Versorgungsspannung. Bei entsprechend konzipierter Thresholdspannung des Pass-Transistors, der z. B. als MOS-Transistor ausgeführt ist, ist dieses Spannungsverhältnis ausreichend, um die Zustände

5 "Transistor sperrt" und "Transistor leitet" anzusteuern. Der Einfluss auf die Datenleitung 7 ergibt sich durch die verstärkenden Eigenschaften des Transistors als gesteuerter Widerstand. Lässt sich das Widerstandsverhältnis erhöhen, werden die Steuerspannungen entsprechend weiter voneinander getrennt. Eine Sättigung des Transistors sollte jedoch vermieden werden.

15 Die an der Twin-Zellenanordnung erzeugte Steuerspannung wird über eine entsprechende Verbindung 13 auf den Eingang 14 des Gates 15 des Pass-Transistors 8 gegeben. Die Funktion eines solchen Transistors ist bekannt, je nach Größe der am Gate 15 anliegenden Steuerspannung wird der Transistor leitend, er wird also durchgeschaltet, oder er wird gesperrt. Es kann also auf einfache Weise durch Änderung der Widerstandsverhältnisse an der Twin-Zellenanordnung der Transistorzustand ge-

20 schaltet werden.

Der Abstand zwischen den beiden TMR-Zellen 2 liegt in der gleichen Größenordnung wie die Gate-Länge (einige 100 nm). Source- und Drain-Ströme im Source-Bereich 16 bzw. Drain-Bereich 17 des Pass-Transistors 8 sind im Vergleich zu den Konfigurierströmen vernachlässigbar, daher kann der Abstand zwischen den beiden TMR-Zellen 2 und dem Gate 15 durch die notwendigen Isolationsabstände bestimmt werden. Der Aufbau

30 ist folglich sehr kompakt. Sinnvoll erscheint es, große TMR-Widerstände zur Minimierung des Querstroms zwischen den Polen der Stromversorgung 12 zu realisieren, was über eine dicke Barrierenschicht und eine kleine Fläche möglich ist.

35 Fig. 5 zeigt in Form einer Prinzipskizze eine alternative Ausführung, die gleichermaßen dienlich ist, um die Datenleitung 7 freizugeben oder zu sperren. Hier ist ein Element 1,

im Ausführungsbeispiel eine TMR-Zelle 2 direkt in die Datenleitung 7 geschaltet. Voraussetzung ist, dass die TMR-Zelle 2 ein hohes Widerstandsverhältnis von vorzugsweise etwa 1:10 und mehr zeigt. Sie kann dann direkt als Pass-Transistor eingesetzt werden, wodurch die Anzahl erforderlicher Transistoren zum Schalten der Datenleitung 7 weiter reduziert wird. Die Datenleitung wird geöffnet, wenn an der TMR-Zelle, der gleichermaßen ein Konfigurationsstromleiter 9 zugeordnet ist, um den Widerstand der weichmagnetischen Schicht schalten zu können, ein niedriger Widerstand eingestellt ist. Sie wird gesperrt, wenn der hohe Widerstand durch entsprechendes Schalten der Magnetisierung der weichmagnetischen Schicht eingestellt ist.

Die Verdrahtung der konfigurierbaren Schaltung durchläuft die TMR-Zelle 2. Die Konfigurationsleiterbahn 9 ist Teil der Verdrahtung und kann über, unter oder kombiniert oberhalb und unterhalb der TMR-Zelle 2 verlaufen. Die Anschlüsse der TMR-Zelle können ins Silizium geführt werden oder in der Verdrahtungsschicht verbleiben.

Fig. 6 zeigt schließlich eine Schaltungsanordnung, bei der ein über zwei nicht näher gezeigte TMR-Zellen schaltbarer Transistor 18 dargestellt ist, wobei diese TMR-Zellen und der Transistor parallel zur zu "schaltenden" Datenleitung 19, die ein Gatter G über einen Pullup-Widerstand 20 an den Pluspol einer Spannungsversorgung, also eine Quelle legt, geschaltet sind. Weiterhin ist ein Pulldown-Widerstand 21 vorgesehen. Je nach dem, ob die TMR-Zellen hoch- oder niederohmig geschaltet sind, liegt das Gatter an der Quelle oder nicht. Sind die TMR-Zellen hochohmig, so verhalten sie sich transparent, der Transistor fungiert nicht als Senke und ist ebenfalls transparent. Sind die TMR-Zelle niederohmig, fungiert der Transistor als Senke, das Gatter liegt nicht am Pluspol an.

Wenngleich die obigen Ausführungsformen lediglich die Verwendung von TMR-Zellen beschreiben, ist es gleichermaßen denk-

bar, andere magneto-resistive Zellen, deren Widerstand entsprechend geschaltet werden kann, oder die beschriebenen Phasenwechselzellen einzusetzen.

Patentansprüche

1. Bauelement mit einer in ihrer Funktionalität konfigurierbaren Schaltungsanordnung, insbesondere Logikschaltungsanordnung, umfassend mehrere Datenleitungen (7), wobei zumindest einem Teil der Datenleitungen (7) wenigstens ein zwischen zwei Zuständen mit unterschiedlichen diskreten Widerständen schaltbares Element (1) zugeordnet ist, über welches Element (1) je nach geschaltetem Zustand die Datenleitung (7) freigegeben oder gesperrt wird, wobei der Zustand nichtflüchtig speicherbar und schnell umschaltbar ist.

2. Bauelement nach Anspruch 1, dadurch gekennzeichnet, dass das Element (1) einen magnetoresistiven Effekt zeigendes Element ist.

3. Bauelement nach Anspruch 2, dadurch gekennzeichnet, dass das Element (1) eine TMR-Zelle (2) ist.

4. Bauelement nach Anspruch 1, dadurch gekennzeichnet, dass das Element (1) eine Widerstandsänderung durch eine beim Schalten erzeugte Phasenänderung, insbesondere von einem amorphen Zustand zu einem kristallinen Zustand zeigt.

5. Bauelement nach Anspruch 4, dadurch gekennzeichnet, dass das Element (1) eine OUM-Zelle ist.

6. Bauelement nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass über das Element (1) ein in die Datenleitung (7) geschalteter Pass-Transistor (8) gesperrt oder freigegeben wird.

7. Bauelement nach Anspruch 6, dadurch gekennzeichnet, dass zum Betätigen des Pass-

Transistors (8) lediglich ein Element (1) oder zwei miteinander gekoppelte und parallel betriebene Elemente (1) vorgesehen sind.

5 8. Bauelement nach Anspruch 7, d a d u r c h g e -
k e n n z e i c h n e t , dass zwei TMR-Zellen (2) vorge-
sehen sind, die invertiert angesteuert werden.

10 9. Bauelement nach Anspruch 8, d a d u r c h g e -
k e n n z e i c h n e t , dass die beiden Elemente (1),
insbesondere die beiden TMR-Zellen (2) ein Widerstandsver-
hältnis zwischen den beiden zustandsbezogenen Widerständen
ungleich 1:1, insbesondere von 1:2 oder mehr aufweisen.

15 10. Bauelement nach einem der Ansprüche 1 bis 5, d a -
d u r c h g e k e n n z e i c h n e t , dass ein Ele-
ment (1) unmittelbar in die Datenleitung geschaltet ist und
diese direkt öffnet oder sperrt, oder dass ein Element paral-
20 lel zur Datenleitung geschaltet ist und diese kurzschließt
oder sich transparent verhält.

5 11. Bauelement nach Anspruch 10, d a d u r c h g e -
k e n n z e i c h n e t , dass das Element (1), insbeson-
dere die TMR-Zelle (2) oder die OUM-Zelle ein Widerstandsver-
hältnis zwischen den beiden zustandsbezogenen Widerständen
von wenigstens 1:5, insbesondere von wenigstens 1:10 oder
größer aufweisen.

30 12. Bauelement nach einem der vorangehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t , dass die
Schaltzeit zum Umschalten des Widerstands des Elements $\leq 5\text{ns}$,
insbesondere $\leq 3\text{ns}$ ist.

Zusammenfassung

Bauelement mit einer in ihrer Funktionalität konfigurierbaren Schaltungsanordnung, insbesondere Logikschaltungsanordnung

5

Bauelement mit einer in ihrer Funktionalität konfigurierbaren Schaltungsanordnung, insbesondere Logikschaltungsanordnung, umfassend mehrere Datenleitungen (7), wobei zumindest einem Teil der Datenleitungen (7) wenigstens ein zwischen zwei Zuständen mit unterschiedlichen diskreten Widerständen schaltbares Element (1) zugeordnet ist, über welches Element (1) je nach geschaltetem Zustand die Datenleitung (7) freigegeben oder gesperrt wird.

10

15

FIG. 2

FIG 1

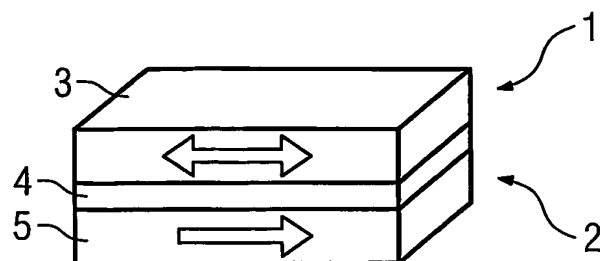


FIG 2

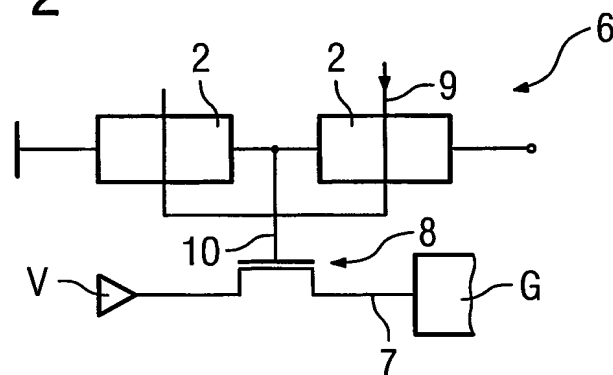


FIG 3

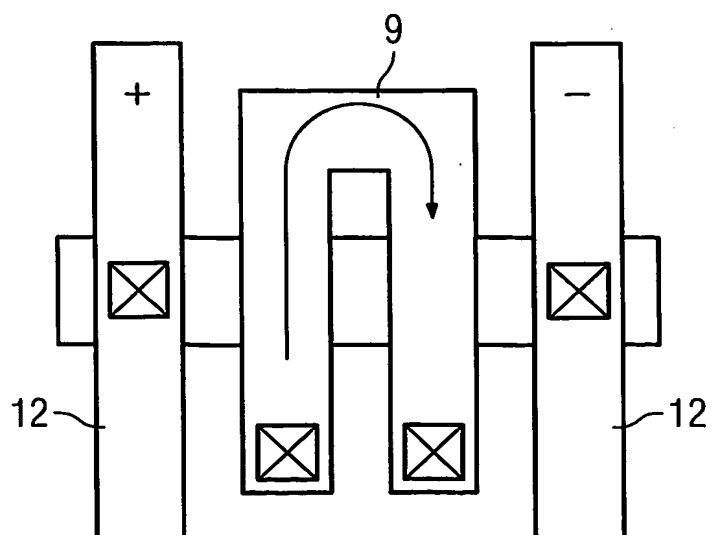


FIG 4

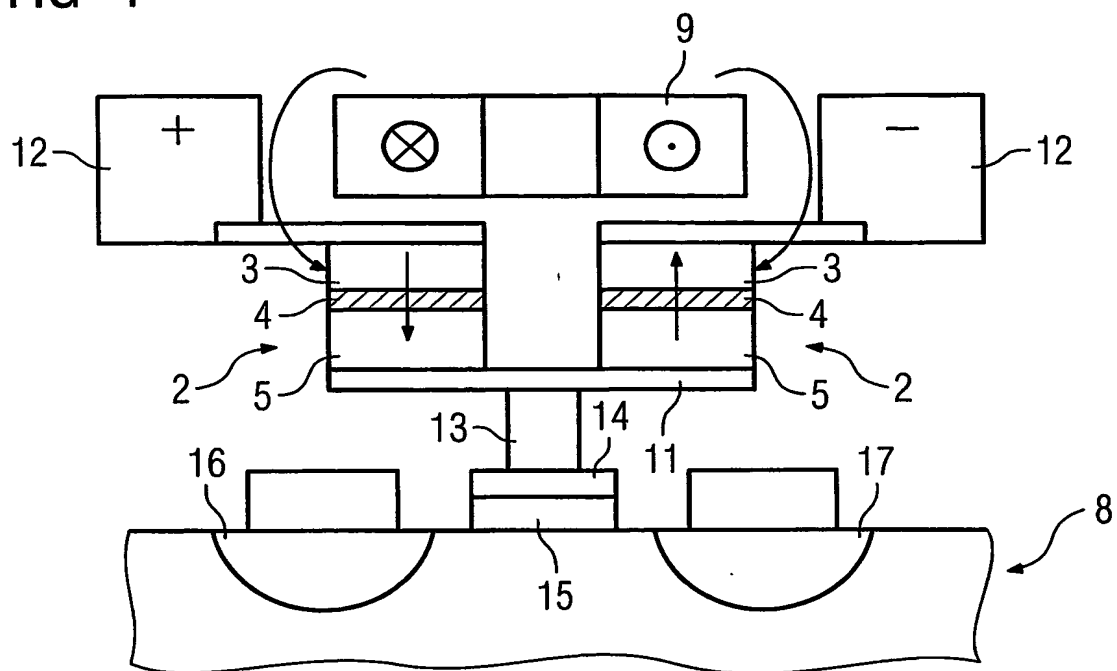


FIG 5

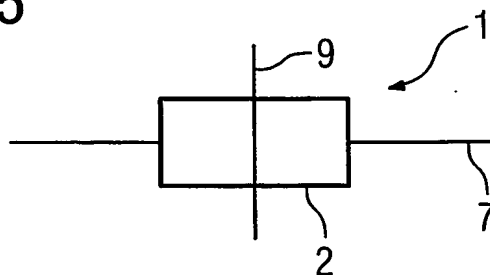


FIG 6

